

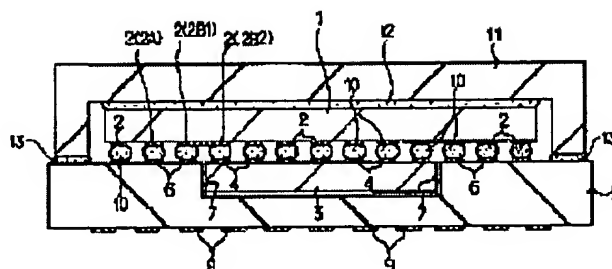
SEMICONDUCTOR DEVICE

Patent number: JP5129516
Publication date: 1993-05-25
Inventor: HANABUSA YOSHIAKI; others: 01
Applicant: HITACHI LTD
Classification:
- international: H01L25/065; H01L25/07; H01L25/18
- european:
Application number: JP19910287635 19911101
Priority number(s):

Abstract of JP5129516

PURPOSE: To enhance the mounting density of a semiconductor device by a method wherein one out of a first semiconductor pellet and a second semiconductor pellet is arranged inside the area occupied by the other out of them.

CONSTITUTION: A semiconductor pellet 1 and a semiconductor pellet 3 are electrically and mechanically connected respectively via bump electrodes 10; they are connected by a facedown system. The semiconductor pellet 3 is mounted on the side of a pellet mounting face on a base substrate 5 in a state that its element formation face is faced with the element formation face of the semiconductor pellet 1. That is to say, the semiconductor pellet 3 is arranged inside the area occupied by the semiconductor pellet 1 via the bump electrodes 10. Thereby, the mounting density (in the plane direction) of a semiconductor device can be enhanced by a portion corresponding to the area occupied by the semiconductor pellet 3.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-129516

(43) 公開日 平成5年(1993)5月25日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 25/065

25/07

25/18

7220-4M

H 0 1 L 25/08

B

審査請求 未請求 請求項の数4(全 6 頁)

(21) 出願番号

特願平3-287635

(22) 出願日

平成3年(1991)11月1日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 英 善明

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72) 発明者 河路 幹規

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

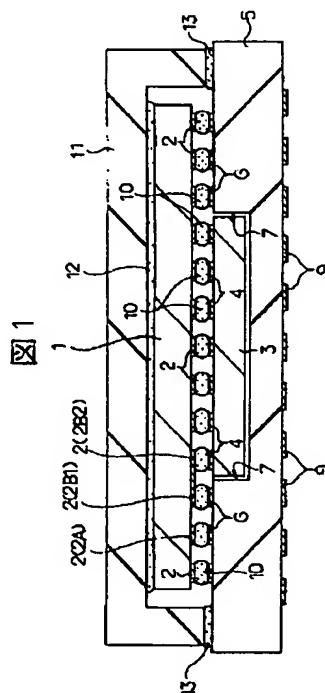
(74) 代理人 弁理士 秋田 収喜

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 ベース基板5の実装面上に半導体ベレットが実装される半導体装置において、実装密度を高め、動作速度の高速化を図り、歩留まりを高める。

【構成】 前記半導体装置において、ベース基板5の実装面上にバイポーラトランジスタ(単一能動素子)を主体に構成される論理回路システムを有する半導体ベレット1を搭載し、この半導体ベレット1の論理回路システム上に、この論理回路システムの能動素子と異なる相補型M I S F E T(単一能動素子)を主体に構成される記憶回路システムを有する半導体ベレット3を、その記憶回路システムと半導体ベレット1の論理回路システムとが対向する状態で搭載し、前記半導体ベレット1の論理回路システム、半導体ベレット3の記憶回路システムの夫々をバンプ電極10を介して電気的に接続する。



【特許請求の範囲】

【請求項1】 ベース基板の実装面上に半導体ベレットが実装される半導体装置において、前記ベース基板の実装面上に単一能動素子を主体に構成される第1回路を有する第1半導体ベレットを搭載し、この第1半導体ベレットの第1回路上に、この第1回路の能動素子と異なる他の単一能動素子を主体に構成される第2回路を有する第2半導体ベレットを、その第2回路と第1半導体ベレットの第1回路とが対向する状態で搭載し、前記第1半導体ベレットの第1回路、第2半導体ベレットの第2回路の夫々をバンプ電極を介在して電気的に接続したことを特徴とする半導体装置。

【請求項2】 前記第1半導体ベレットの第1回路、第2半導体ベレットの第2回路のうち、一方はバイポーラトランジスタを主体に構成され、他方はMISFETを主体に構成されることを特徴する請求項1に記載の半導体装置。

【請求項3】 前記第1半導体ベレットの第1回路、第2半導体ベレットの第2回路の夫々は、前記ベース基板側から夫々独立に電源が供給されることを特徴とする請求項1又は請求項2に記載の半導体装置。

【請求項4】 前記第1半導体ベレットの第1回路、第2半導体ベレットの第2回路のうち、回路動作で発生する熱量が大きい一方を、発生する熱量が小さい他方に比べて、冷却システムに近づけてベース基板の実装面上に搭載したことを特徴とする請求項1乃至請求項3に記載のいずれかの半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置に関し、特に、ベース基板の実装面上に半導体ベレットが実装される半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】高い実装密度が得られる半導体装置として、フェースダウン方式を利用した半導体装置が知られている。この種の半導体装置は、ベース基板のベレット搭載面上にフェースダウン方式で半導体ベレット(半導体集積回路装置)を実装し、この半導体ベレットを封止用キャップで封止する。半導体ベレットはベース基板及び封止用キャップで形成されるキャビティ内に封止される。フェースダウン方式は、半導体ベレットの素子形成面側に形成された外部端子(ボンディングパッド)、ベース基板のベレット搭載面側に形成された電極の夫々を例えば半田を使用したバンプ電極(CCB電極、突起電極)で電気的及び機械的に接続する方式である。フェースダウン方式は、半導体ベレットの占有面積内においてベース基板に実装できるので、ボンディングワイヤ方式に比べて実装面積並びに信号伝達経路を縮小できる。

【0003】本発明者が開発中のフェースダウン方式を

利用する半導体装置は、モジュール基板、PCB基板等の実装基板の実装面上に複数個実装され、冷却装置で強制冷却される冷却システムに組込まれる。この半導体装置は、半導体ベレットの素子形成面と対向する裏面が熱伝導用充填材を介在して封止用キャップのベレット連結面(内壁)に連結され、半導体ベレットの素子形成面側に搭載された回路システムの動作で発生する熱を封止用キャップに伝導している。封止用キャップに伝導された熱はさらに冷却装置に伝導される。熱伝導用充填材は熱伝導性が高い半田を使用する。

【0004】前記半導体ベレットに搭載される回路システムは、集積度(半導体装置の実装密度)を高める目的として、例えばバイポーラトランジスタ、相補型MISFET等の多種類の能動素子を主体に構成される。バイポーラトランジスタは高い駆動能力が得られ、相補型MISFETは高い集積度や低消費電力化が得られる。また、半導体ベレットに搭載される回路システムは、論理回路システム、記憶回路システム等の混合回路システムで構成される。

【0005】なお、前記フェースダウン方式を利用する半導体装置については、特開昭62-249429号公報に記載されている。

【0006】

【発明が解決しようとする課題】本発明者は、前記フェースダウン方式を利用する半導体装置について検討した結果、以下の問題点を見出した。

【0007】前記半導体装置の半導体ベレットに搭載される回路システムは、バイポーラトランジスタ、相補型MISFET等の多種類の能動素子を主体に構成される。このため、半導体ベレットは、異なるデバイスが混在し、単純に約2倍の製造プロセス数の増大となるので、半導体ベレットの歩留まりが低下し、結果的に半導体装置の歩留まりが低下する。

【0008】本発明の目的は、ベース基板の実装面上に半導体ベレットが実装される半導体装置において、実装密度を高めることが可能な技術を提供することにある。

【0009】本発明の他の目的は、前記半導体装置の動作速度の高速化を図ることが可能な技術を提供することにある。

【0010】本発明の他の目的は、前記目的を達成すると共に、前記半導体装置の歩留まりを高めることが可能な技術を提供することにある。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0013】(1)ベース基板の実装面上に半導体ベレッ

トが実装される半導体装置において、前記ベース基板の実装面上に単一能動素子を主体に構成される第1回路を有する第1半導体ベレットを搭載し、この第1半導体ベレットの第1回路上に、この第1回路の能動素子と異なる他の単一能動素子を主体に構成される第2回路を有する第2半導体ベレットを、その第2回路と第1半導体ベレットの第1回路とが対向する状態で搭載し、この第1半導体ベレットの第1回路、第2半導体ベレットの第2回路の夫々をバンプ電極を介在して電気的に接続する。

【0014】(2)前記第1半導体ベレットの第1回路、第2半導体ベレットの第2回路の夫々は、前記ベース基板側から夫々独立に電源が供給される。

【0015】(3)前記第1半導体ベレットの第1回路、第2半導体ベレットの第2回路のうち、回路動作で発生する熱量が大きい一方を、発生する熱量が小さい他方に比べて、冷却システムに近づけてベース基板の実装面上に搭載する。

【0016】

【作用】上述した手段(1)によれば、第1半導体ベレット、第2半導体ベレットのうち、いずれか一方の占有面積内に他方を配置したので、この他方の占有面積に相当する分、半導体装置の実装密度を向上できる。

【0017】また、第1半導体ベレットの第1回路、第2半導体ベレットの第2回路の夫々をバンプ電極を介在して最短距離で電気的に接続したので、ワイヤボンディング方式でボンディングされたワイヤを介在する場合に比べて信号伝達経路を短くでき、半導体装置の動作速度の高速化を図ることができる。

【0018】また、第1半導体ベレットの第1回路、第2半導体ベレットの第2回路の夫々に搭載される能動素子を相互に異なる最適かつ独立な製造プロセスで形成できるので、多種類の能動素子を1つの半導体ベレットに混在して形成する場合に比べて、第1半導体ベレット、第2半導体ベレットの夫々の製造プロセスを低減し、夫々の製造プロセスでの歩留まりを向上でき、結果的に最終的な半導体装置の歩留まりを向上できる。

【0019】上述した手段(2)によれば、第1半導体ベレットの第1回路、第2半導体ベレットの第2回路の夫々の動作時に生じる電源ノイズを吸収できるので、夫々の回路の動作速度を速め、半導体装置の動作速度の高速化を図ることができる。

【0020】上述した手段(3)によれば、第1半導体ベレットの第1回路、第2半導体ベレットの第2回路のうち、回路動作で発生する熱量の大きい半導体ベレットを冷却システムで冷却でき、この半導体ベレットの放熱効率を高められるので、半導体ベレットの誤動作を防止し、半導体装置の信頼性を向上できる。

【0021】以下、本発明の構成について、フェースダウン方式を利用する半導体装置に本発明を適用した一実施例とともに説明する。

【0022】なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0023】

【実施例】本発明の一実施例であるフェースダウン方式を利用する半導体装置の概略構成を図1(断面図)で示す。

【0024】図1に示すように、本発明の一実施例であるフェースダウン方式を利用する半導体装置は、ベース基板5のベレット搭載面(実装面)側に半導体ベレット1、半導体ベレット3の夫々を搭載し、この半導体ベレット1、半導体ベレット3の夫々を封止用キャップ11で封止する。

【0025】前記半導体ベレット1は、例えば単結晶珪素からなる半導体基板を主体に構成され、その素子形成面(図1中下面)に例えば論理回路システムを搭載している。この論理回路システムは、例えば高い駆動能力が得られるバイポーラトランジスタを主体に構成され、単一能動素子で構成される。半導体ベレット1の素子形成面側には外部端子(ボンディングパッド)2が複数個配列される。この外部端子2は、前記論理回路システムを構成するバイポーラトランジスタ間を接続する配線層のうち最上層の配線層で形成され、例えばアルミニウム合金膜で形成される。半導体ベレット1は、単一能動素子(バイポーラトランジスタ)で論理回路システムを構成しているもので、多種類の能動素子(例えばバイポーラトランジスタ、MISFET等)で論理回路システムを構成する場合に比べて製造プロセス数を低減でき、最適な製造プロセスで形成できる。

【0026】前記半導体ベレット3は、例えば単結晶珪素からなる半導体基板を主体に構成され、その素子形成面(図1中上面)に例えば記憶回路システムを搭載している。この記憶回路システムは、例えば高い集積度や低消費電力化が得られる相補型MISFET(CMOS)を主体に構成され、単一能動素子で構成される。半導体ベレット3の素子形成面側には外部端子(ボンディングパッド)4が複数個配列される。この外部端子4は、前記記憶回路システムを構成する相補型MISFET間を接続する配線層のうち最上層の配線層で形成され、例えばアルミニウム合金膜で形成される。半導体ベレット3は、単一能動素子(相補型MISFET)で記憶回路システムを構成しているもので、多種類の能動素子で記憶回路システムを構成する場合に比べて製造プロセス数を低減でき、最適な製造プロセスで形成できる。

【0027】前記ベース基板5は、例えばムライトで形成され、図示していないが多層配線構造で構成される。ベース基板5のベレット搭載面の中央部には凹部7が形成され、この凹部7内には前記半導体ベレット3が配置される。つまり、凹部7の開口サイズは半導体ベレット3の平面形状に比べてひとまわり大きなサイズで形成さ

れ、凹部7の底面の位置はベース基板5のペレット塔載面の位置よりも低く構成される。ベース基板5のペレット塔載面上には凹部7の周囲の領域において電極6が複数個配列され、ベース基板5のペレット塔載面と対向する裏面には電極9が複数個配列される。この電極6、電極9の夫々は前記多層配線構造の配線を介して電氣的に接続される。

【0028】前記ベース基板5の電極6、半導体ペレット1の外部端子2の夫々の間にはバンパ電極(CCB電極、突起電極)10が介在される。つまり、ベース基板5、半導体ペレット1の夫々は、バンパ電極10を介在して電氣的及び機械的に接続され、フェースダウン方式で接続される。半導体ペレット1はバンパ電極10を介在してベース基板5のペレット塔載面上に実装される。つまり、半導体ペレット1はベース基板5の専有面積内に配置される。

【0029】前記半導体ペレット1の外部端子2、半導体ペレット3の外部端子4の夫々の間にはバンパ電極10が介在される。つまり、半導体ペレット1、半導体ペレット3の夫々は、バンパ電極10を介在して電氣的及び機械的に接続され、フェースダウン方式で接続される。半導体ペレット3は、その素子形成面が半導体ペレット1の素子形成面と対向する状態でベース基板5のペレット塔載面側に塔載され、半導体ペレット1の素子形成面上に塔載される。つまり、半導体ペレット3はバンパ電極10を介在して半導体ペレット1の占有面積内に配置されるので、この半導体ペレット3の専有面積内に相当する分、半導体装置の実装密度(平面方向)を向上できる。また、半導体ペレット1の論理回路システム、半導体ペレット2の記憶回路システムの夫々は、バンパ電極10を介在して最短距離で電氣的に接続されるので、ワイヤーボンディング方式でボンディングされたワイヤを介在する場合に比べて信号伝達経路を短くでき、半導体装置の動作速度の高速化を図ることができる。前記バンパ電極10は、温度階層の最っとも高い温度に位置する半田材料で形成される。

【0030】前記封止用キャップ11は、断面形状がコの字形に形成され、ベース基板5とで半導体ペレット1、半導体ペレット3の夫々を収納しつつ気密封止するキャビティを構成する。封止用キャップ11は熱伝導性の良好な例えば窒化アルミニウムで形成される。

【0031】前記封止用キャップ11のペレット連結面(内壁)は熱伝導用充填材12を介在して半導体ペレット1の素子形成面と対向する裏面に連結される。熱伝導用充填材12は、両者間をほぼ完全に密着し、半導体ペレット1の素子形成面に塔載された論理回路システムの動作で発生する熱を封止用キャップ11に高い効率で伝達できる。この熱伝導用充填材12は、前記バンパ電極10に比べて融点が高い半田材料で形成される。

【0032】前記封止用キャップ12は、半導体ペレ

ット1の周囲において、封止材13によりベース基板5に接着される。封止材13は、半導体ペレット1の裏面に熱伝導用充填材12を介在して封止用キャップ11のペレット連結面を連結する際、熱伝導用充填材12の一部を封止用キャップ11とベース基板5との接着領域に流し込んだ熱伝導用充填材12で構成される。前記ベース基板5及び封止用キャップ11で形成され、封止材13で気密封止されるキャビティ内部には、組立プロセス中の封止工程で使用されるガスが充填される。

【0033】図2(図1に示す半導体装置の要部拡大断面図)に示すように、前記半導体ペレット1の外部端子2のうち、外部端子2Aは、バンパ電極10、ベース基板5の電極6の夫々を介在してベース基板5の多層配線構造の配線8Aの一方に電氣的に接続される。配線8Aの他方はベース基板5の電極9に接続される。この電極9には電源が印加され、配線8A、電極6、バンパ電極10及び外部端子2Aを通して半導体ペレット1の論理回路システムに供給される。

【0034】前記外部端子2のうち、外部端子2B1は隣接する外部端子2B2と一体に構成される。この外部端子2B1、外部端子2B2の夫々は、半導体ペレット1の論理回路システムに接続されない所謂ダミーパッドとして構成される。外部端子2B2は、バンパ電極10を介在して半導体ペレット3の外部端子4に電氣的に接続される。外部端子2B1は、バンパ電極10、ベース基板5の電極6の夫々を介在してベース基板5の多層配線構造の配線8Bの一方に接続される。配線8Bの他方はベース基板5の電極9に接続される。この電極9には電源が印加され、配線8B、電極6、バンパ電極10、外部端子2B1、2B2、バンパ電極10及び外部端子4を通して半導体ペレット3の記憶回路システムに供給される。つまり、半導体ペレット1、半導体ペレット2の夫々にはベース基板5の配線8A、配線8Bの夫々で独立に電源が供給され、半導体ペレット1の論理回路システム、半導体ペレット3の記憶回路システムの夫々の動作時に生じる電源ノイズを吸収し易いように構成される。

【0035】このように構成される半導体装置は、図3(システム構成図)に示すように、フェースダウン方式で冷却システム20の実装基板(モジュール基板又はPCB基板)23の実装面上に1個或は複数個実装される。つまり、半導体装置は、そのベース基板5の電極9にバンパ電極25を介在して実装基板23の電極24に電氣的及び機械的に接続することにより実装基板23に実装される。この半導体装置は、実装基板23及び封止用キャップ22で形成されるキャビティ内部に封止される。封止用キャップ22は封止材27により実装基板23に接着される。冷却システム20の実装基板23は、前記半導体装置のベース基板5と同様に多層配線構造で構成される。

【0036】前記半導体装置の封止用キャップ11の上側表面上にはクシ歯形状で形成される放熱フィン21が構成される。この放熱フィン21は熱伝導用充填材12、封止用キャップ11の夫々を通して伝導される、半導体ベレット1に搭載された論理回路システムの動作で発生する熱を冷却システム20側に放熱する目的で構成される。

【0037】前記封止用キャップ22は例えば窒化アルミニウムで構成される。この封止用キャップ22は、前記放熱フィン21と接触するクシ歯22Aが構成され、放熱フィン21を通して伝導される熱を上部に配置された水冷ジャケット26に放出する。この水冷ジャケット26には複数の冷却用水管26Aが構成され、この冷却用水管26A内には冷却水が循環する。前述の放熱フィン21から封止用キャップ22に伝導される熱は、この水冷ジャケット26の冷却用水管26A内を循環する冷却水に伝達され、冷却システム20の外部に放出される。

【0038】前記半導体装置は、冷却システム20側に半導体ベレット1を配置している。この半導体ベレット1は、相補型MISFETに比べて消費電力が高い、つまり発熱量が大きいバイポーラトランジスタで構成された論理回路システムを搭載している。この論理回路システムの動作で発生する熱は、半導体ベレット1の裏面から熱伝導用充填材12を通して封止用キャップ11に効率的に伝導され、封止用キャップ11に伝導された熱は、放熱フィン21を通して効率的に冷却システム20に伝導される。

【0039】このように、ベース基板5のベレット搭載面(実装面)上に半導体ベレットが実装される半導体装置において、前記ベース基板5のベレット搭載面上にバイポーラトランジスタ(単一能動素子)を主体に構成される論理回路システムを有する半導体ベレット1を搭載し、この半導体ベレット1の論理回路システム上に、この論理回路システムのバイポーラトランジスタと異なる相補型MISFET(単一能動素子)を主体に構成される記憶回路システムを有する半導体ベレット3を、その記憶回路システムと半導体ベレット1の論理回路システムとが対向する状態で搭載し、前記半導体ベレット1の論理回路システム、半導体ベレット3の記憶回路システムの夫々をバンプ電極10を介在して電気的に接続する。この構成により、半導体ベレット1の占有面積内に半導体ベレット3を配置したので、この半導体ベレット3の占有面積に相当する分、半導体装置の実装密度を向上することができる。

【0040】また、半導体ベレット1の論理回路システム、半導体ベレット3の記憶回路システムの夫々をバンプ電極10を介在して最短距離で電気的に接続したので、ワイヤボンディング方式でボンディングされたワイヤを介在する場合に比べて信号伝達経路を短くでき、半

導体装置の動作速度の高速化を図ることができる。

【0041】また、半導体ベレット1の論理回路システムを構成するバイポーラトランジスタ、半導体ベレット3の記憶回路システムを構成する相補型MISFETの夫々を相互に異なる最適かつ独立な製造プロセスで形成でき、多種類の能動素子(バイポーラトランジスタ、相補型MISFET)を1つの半導体ベレットに混在して形成する場合に比べて、半導体ベレット1、半導体ベレット3の夫々の製造プロセス数を低減できるので、夫々の製造プロセスでの歩留まりを向上でき、結果的に最終的な半導体装置の歩留まりを向上できる。

【0042】また、前記半導体ベレット1の論理回路システム、半導体ベレット3の記憶回路システムの夫々は、前記ベース基板5の配線8A、配線8Bの夫々から独立に電源が供給される。この構成により、半導体ベレット1の論理回路システム、半導体ベレット3の記憶回路システムの夫々の動作時に生じる電源ノイズを吸収できるので、夫々の回路の動作速度を速め、半導体装置の動作速度の高速化をより図ることができる。

【0043】また、前記半導体ベレット1の論理回路システム、半導体ベレット3の記憶回路システムのうち、高い駆動能力が得られる(発熱量が大きい)バイポーラトランジスタで構成された論理回路システムを有する半導体ベレット1を、低消費電力化が得られる(発熱量が小さい)相補型MISFETで構成された記憶回路システムを有する半導体ベレット3に比べて、冷却システム20に近づけてベース基板5のベレット搭載面上に搭載する。この構成により、回路動作で発生する熱量の大きい半導体ベレット1を冷却システム20で冷却でき、この半導体ベレット1の放熱効率を高められるので、半導体ベレット1の誤動作を防止し、半導体装置の信頼性を向上できる。

【0044】なお、本実施例では、半導体ベレット1、半導体ベレット3の夫々を単晶硅素基板で構成したが、このどちらか一方を例えばGaAs(ガリウム・砒素)からなる半絶縁性基板で構成し、多機能化を高めてもよい。

【0045】また、半導体ベレット1、半導体ベレット2のうちどちらか一方の半導体ベレットを他方の半導体ベレットの補修用として構成してもよい。

【0046】以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0047】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0048】ベース基板の実装面上に半導体ベレットが

9

10

実装される半導体装置において、実装密度を向上できる。

【0049】また、前記半導体装置の動作速度の高速化を図ることができる。

【0050】また、前記半導体装置の歩留まりを向上できる。

【0051】また、前記半導体装置の動作速度の高速化をより図ることができる。

【0052】また、前記半導体装置の誤動作を防止できる。

【図面の簡単な説明】

【図1】 本発明の一実施例である半導体装置の断面

図。

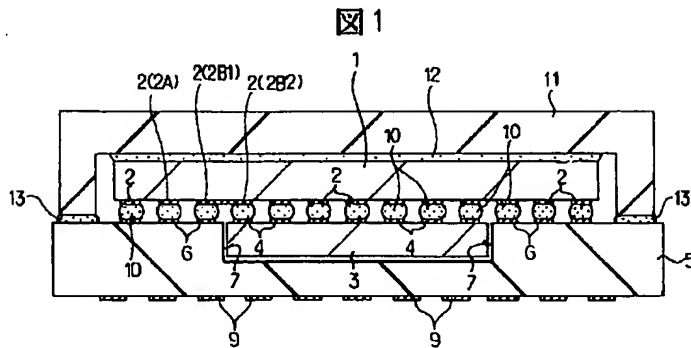
【図2】 前記半導体装置の要部拡大断面図。

【図3】 前記半導体装置を冷却システムに組込んだシステム構成図。

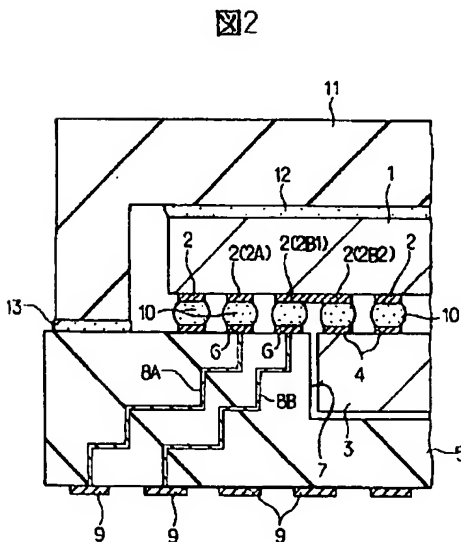
【符号の説明】

1…半導体ベレット、2…外部端子、3…半導体ベッ
ト、4…外部端子、5…ベース基板、6…電極、7…凹
部、8A、8B…配線、9…電極、10…パンプ電極、
11…封止用キャップ、12…熱伝導用充填材、13…
封止材、20…冷却システム、21…放熱フィン、22
…封止用キャップ、23…実装基板。

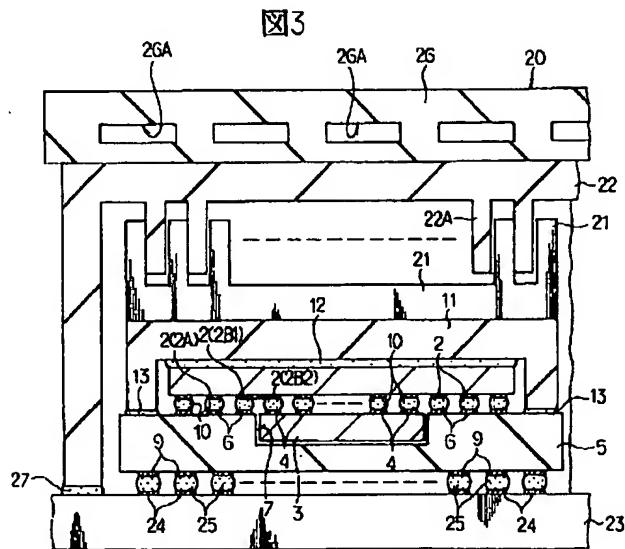
【図1】



【図2】



【図3】



BEST AVAILABLE COPY